



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10187359 A**

(43) Date of publication of application: 14.07.98

(51) Int. Cl. **G06F 3/08**
G11C 16/06

(21) Application number: 08348961

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: 26.12.96

(72) Inventor: SUKEGAWA HIROSHI

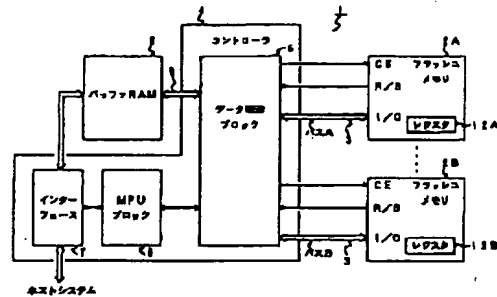
(54) SYSTEM FOR STORING DATA AND METHOD FOR TRANSFERRING DATA APPLIED TO THE SAME SYSTEM

(57) Abstract:

PROBLEM TO BE SOLVED: To realize data transfer independent for each flash EEPROM by providing a data bus for each flash EEPROM in a system using a semiconductor disk device.

SOLUTION: A data storage system using a semiconductor disk device constituted of flash EEPROM is provided with data buses A and B provided for each flash memory 2A and 2B, and a controller 4 connected with each bus A and B for controlling the transfer of input and output data for each flash memory 2A and 2B. Thus, the controller 4 can transfer the input and output data independently for each flash memory 2A and 2B so that an average transferring speed especially at the time of a data writing operation can be quickened.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-187359

(43)公開日 平成10年(1998) 7月14日

(51)Int Cl.⁴

G 0 6 F 3/08

G 1 1 C 16/06

識別記号

F I

G 0 6 F 3/08

G 1 1 C 17/00

H

6 3 1

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21)出願番号 特願平8-348961

(22)出願日 平成8年(1996)12月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 助川 博

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

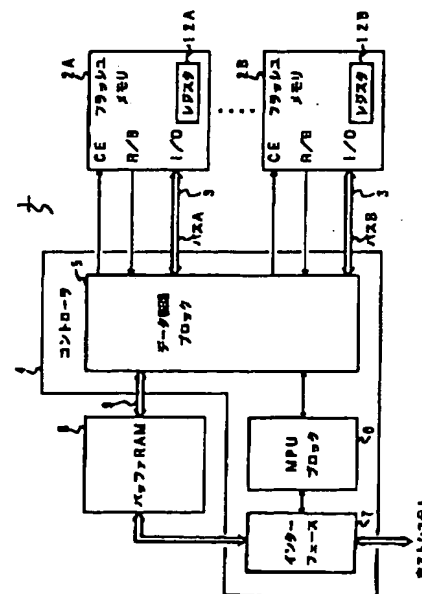
(74)代理人 弁理士 錦江 武彦 (外6名)

(54)【発明の名称】 データ記憶システム及び同システムに適用するデータ転送方法

(57)【要約】

【課題】半導体ディスク装置を使用したシステムにおいて、各フラッシュEEPROM毎にデータバスを設けて、各フラッシュEEPROM毎に独立したデータ転送を実現することにある。

【解決手段】フラッシュEEPROMから構成される半導体ディスク装置を使用したデータ記憶システムにおいて、各フラッシュメモリ2A、2B毎に設けられたデータバスA、Bと、この各データバスA、Bに接続されて各フラッシュメモリ2A、2B毎に入出力データの転送を制御するためのコントローラ4とを備えたシステムである。このような構成により、コントローラ4は各フラッシュメモリ2A、2B毎に独立して、入出力データの転送を行なうことができるため、特にデータ書き込み動作における平均転送速度を高速化することができる。



【特許請求の範囲】

【請求項1】 複数のフラッシュEEPROMから構成される半導体ディスク装置を使用したデータ記憶システムであって、

前記各フラッシュEEPROM毎に独立して設けられて、前記フラッシュEEPROMに対する入出力データの転送を行なうための複数のデータバス手段と、
前記各データバスに接続されて、ホストシステムからのリード/ライト要求に応じて前記各フラッシュEEPROM毎にアクセス制御し、前記入出力データの転送を制御するためのコントローラ手段とを具備したことを特徴とするデータ記憶システム。

【請求項2】 前記ホストシステムとの間でデータの転送を行なうためのインターフェース手段を有し、
前記インターフェース手段を介して前記ホストシステムから転送されたデータを格納し、また前記コントローラ手段から転送されたデータを格納するバッファメモリ手段を有し、
前記コントローラ手段は前記バッファメモリ手段と1本のバスにより接続されて、前記バッファメモリ手段に格納されたデータを指定の前記フラッシュEEPROMに転送するように制御する手段を有することを特徴とする請求項1記載のデータ記憶システム。

【請求項3】 前記コントローラ手段はデータ転送を制御するためのレジスタ群を有し、
レジスタ群はデータ転送開始アドレス、データ転送方向、データ転送状態の監視の各レジスタを含み、かつ各レジスタを前記各データバス手段毎に設けられていることを特徴とする請求項1記載のデータ記憶システム。

【請求項4】 複数のフラッシュEEPROMから構成される半導体ディスク装置を使用したデータ記憶システムであって、

前記各フラッシュEEPROM毎に独立して設けられて、前記フラッシュEEPROMに対する入出力データの転送を行なうための複数のデータバス手段と、
ホストシステムから転送された入力データまたは前記フラッシュEEPROMから読出された出力データを一時的に格納するためのバッファメモリ手段と、

前記各データバスを介して前記各フラッシュEEPROMに接続されて、かつ1本のバスを介して前記バッファメモリ手段に接続されて、前記バッファメモリ手段と前記各フラッシュEEPROMとの間の入出力データの転送を実行するデータ転送手段と、

前記ホストシステムからのリード/ライトコマンドを処理して、前記各フラッシュEEPROMに対するリード/ライトアクセスを制御し、前記バッファメモリ手段と前記データ転送手段とを制御して前記ホストシステムとのデータ転送を制御するための制御手段とを具備したことを特徴とするデータ記憶システム。

【請求項5】 前記ホストシステムと前記バッファメモ

リ手段との間でデータ転送を行なうためのインターフェース手段を有し、

前記制御手段は、前記ホストシステムからのライトアクセス要求に応じて前記インターフェース手段を介して前記ホストシステムから転送された入力データを前記バッファメモリ手段に格納し、かつ前記ホストシステムからのリードアクセス要求に応じて前記データ転送手段により前記バッファメモリ手段に格納された前記フラッシュEEPROMからの出力データを前記インターフェース手段を介して前記ホストシステムから転送するように制御することを特徴とする請求項4記載のデータ記憶システム。

【請求項6】 前記データ転送手段は、前記各データバス手段毎に前記バッファメモリ手段から出力されるデータを保持するための第1と第2のレジスタを組みとするバス用レジスタを有し、

前記各データバス手段毎のデータ転送要求に応じて前記バッファメモリ手段に接続された1本のバスを時分割転送によるバスアービトレーションを実行する手段を有し、

データ転送許可により前記バッファメモリ手段から転送されたデータを、前記データバス手段に対応する前記第1と第2のレジスタを交互に使用してアクセス対象の前記データバス手段に転送する手段を有することを特徴とする請求項4記載のデータ記憶システム。

【請求項7】 複数のフラッシュEEPROMから構成される半導体ディスク装置を使用したデータ記憶システムに適用するデータ転送方法であって、

前記各フラッシュEEPROM毎に独立して設けられて、前記フラッシュEEPROMに対する入出力データの転送を行なうための複数のデータバスA、Bと、ホストシステムから転送された入力データまたは前記フラッシュEEPROMから読出された出力データを一時的に格納するためのバッファメモリ手段と、前記各データバスA、Bを介して前記各フラッシュEEPROMに接続されて、かつ1本のバスを介して前記バッファメモリ手段に接続されて、前記バッファメモリ手段と前記各フラッシュEEPROMとの間の入出力データの転送を実行するデータ転送手段とを有し、

前記データ転送手段は前記データバスA、B毎に前記バッファメモリ手段から出力されるデータを保持するためのバスレジスタA0、A1およびバスレジスタB0、B1を有し、

前記ホストシステムからのライトアクセス要求に応じて前記バッファメモリ手段からのデータをアクセス対象のフラッシュEEPROMに対応するデータバスA、Bに転送するときに、前記データバスA、B毎に前記バッファメモリ手段の1本のバス転送可能時間を時分割し、
前記データバスAの転送要求に応じて前記バッファメモリ手段のバス転送可能時に前記バッファメモリ手段から

転送されたデータを前記バスレジスタA0に格納する処理と、

前記データバスAの転送要求に応じて前記バッファメモリ手段のバス転送可能時に前記バッファメモリ手段から転送されたデータを前記バスレジスタA1に格納すると共に、前記バスレジスタA0またはA1のいずれからデータを前記データバスAの転送する処理と、

前記データバスBの転送要求に応じて前記バッファメモリ手段のバス転送可能時に前記バッファメモリ手段から転送されたデータを前記バスレジスタB0に格納する処理と、

前記データバスBの転送要求に応じて前記バッファメモリ手段のバス転送可能時に前記バッファメモリ手段から転送されたデータを前記バスレジスタB1に格納すると共に、前記バスレジスタB0またはB1のいずれからデータを前記データバスBの転送する処理とからなることを特徴とするデータ転送方法。

【請求項8】 1グループが複数の前記フラッシュEEPROMからなり、前記データバス手段は、各グループ毎に独立して設けられていることを特徴とする請求項1から請求項6までのいずれか記載のデータ記憶システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータシステムに適用し、フラッシュEEPROMから構成される半導体ディスク装置を使用したデータ記憶システムに関する。

【0002】

【従来の技術】従来、コンピュータシステムでは、メインメモリとは異なり、電源遮断時にデータの保存を維持し、かつ大容量のデータ保存機能を有する外部記憶装置が必要不可欠な構成要素になっている。この外部記憶装置として、磁気ディスク装置や光ディスク装置等と比較して、高速アクセスの可能なフラッシュEEPROM（フラッシュメモリ）から構成される半導体ディスク装置が注目されている。

【0003】半導体ディスク装置は、概略的には複数のフラッシュEEPROMのメモリチップと、コントローラと、バッファRAMとからなる。コントローラは、ホストシステムと各フラッシュEEPROMとのインターフェースであり、ホストシステムのアクセス要求に応じて各フラッシュEEPROMのリード/ライト制御を実行する。バッファRAMは、ホストシステムとコントローラとのデータ転送を行なうためのバッファメモリであり、ホストシステムから転送されたライトデータを格納し、また各フラッシュEEPROMから読出されたリードデータを格納する。

【0004】

【発明が解決しようとする課題】前述したように、半導

体ディスク装置では、コントローラがホストシステムと各フラッシュEEPROMとのインターフェースを構成し、入出力データ（リード/ライトデータ）の転送を制御する方式である。ところで、コントローラと各フラッシュEEPROMとの間のデータ転送は、通常では1本のデータバスにより行なわれている。

【0005】フラッシュEEPROMは、データの読出し動作に対して書き込み動作（消去動作も含む）が低速である。このため、特にデータの書き込み動作時に、1本のデータバスによるデータ転送では、各フラッシュEEPROMを連続的にアクセスする際の処理効率が著しく低下する。

【0006】そこで、本発明の目的は、半導体ディスク装置を使用したシステムにおいて、各フラッシュEEPROM毎または複数のフラッシュEEPROMからなるグループ毎にデータバスを設けて、各フラッシュEEPROM毎のデータ転送を可能にして、特にデータ書き込み動作時のアクセス処理の効率を向上させることにある。

【0007】

【課題を解決するための手段】本発明は、フラッシュEEPROMから構成される半導体ディスク装置を使用したデータ記憶システムにおいて、例えば1グループが複数のフラッシュEEPROMからなる場合に、各グループ毎に設けられた複数のデータバスと、この各データバスに接続されて各フラッシュEEPROM毎に入出力データの転送を制御するためのコントローラとを備えたシステムである。このような構成により、コントローラは各フラッシュEEPROM毎に独立して、入出力データの転送を行なうことができるため、特にデータ書き込み動作におけるアクセス効率を向上させることができる。

【0008】さらに、本発明は、コントローラとバッファメモリ（バッファRAM）とは1本のバスにより接続された構成を想定している。バッファメモリは、ホストシステムから転送されたデータ（ライトデータ）およびコントローラから転送された各フラッシュEEPROMから読出されたデータ（リードデータ）を格納する。コントローラは、データ書き込み動作時に、各フラッシュEEPROM毎のデータバスに独立にデータ転送を実行するが、バッファメモリからは1本のバスによるデータ転送を制御する必要がある。

【0009】そこで、本発明のコントローラは、各データバス毎に第1と第2のレジスタを組みとするバス用レジスタを有し、各データバス手段毎のデータ転送要求に応じてバッファメモリに接続された1本のバスを時分割転送によるバスアービトレーションを実行する手段を有する。このとき、各データバス毎に設けられた第1と第2のレジスタを交互に使用して、データバスに対するデータ転送制御を実行する。これにより、データ書き込み動作時に、各フラッシュEEPROMに対する独立したデータ転送と共に、バッファメモリからは時分割転送制御

によるデータ転送を実現して、データ転送効率を向上させて結果的にデータ書き込み動作時のアクセス処理の効率を高めることが可能となる。

【0010】

【発明の実施の形態】以下図面を参照して本発明の実施の形態を説明する。図1は本発明の実施形態に関する半導体ディスク装置の要部を示すブロック図である。

（システム構成）本実施形態の半導体ディスク装置1は大別して、図1に示すように、フラッシュEEPROM（以下フラッシュメモリと称する）2A、2Bと、コントローラ（ディスクコントローラ）4と、バッファRAM（バッファメモリ）8とを有する。ここで、各フラッシュメモリ2A、2Bはそれぞれ、1グループが複数のフラッシュEEPROMからなる場合にグループ単位のメモリチップからなる。

【0011】各フラッシュメモリ2A、2BはEEPROMのメモリセル以外に、データレジスタ12A、12Bを有し、このデータレジスタ12A、12Bをバッファとして入出力データ（I/O）の転送を行なう。各フラッシュメモリ2A、2Bは、リードアクセスまたはライトアクセスに応じてデータのリード/ライト時にはビジィ（BUSY）信号を出力し、またリード/ライトが可能であればレディ（READY）信号を出力する（R/B信号）。さらに、本発明では、入出力データを転送するためのデータバス3として、各フラッシュメモリ2A、2B毎のデータバスA、Bが設けられている。

【0012】コントローラ4は大別して、データ転送ブロック5と、マイクロプロセッサ（MPU）ブロック6と、ホストシステムとのインターフェース7とから構成されている。データ転送ブロック5は、MPUブロック（以下単にMPUと称する）6からの制御により、バッファRAM8と各フラッシュメモリ2A、2Bとのデータ転送を実行する。このデータ転送動作に必要な制御信号（R/B信号やチップセレクト信号CEなど）を各フラッシュメモリ2A、2Bとの間で交換する。さらに、データ転送ブロック5は、前記のように、各フラッシュメモリ2A、2Bとはそれぞれ専用のデータバスA、Bを介して、入出力データ（リード/ライトデータ）の転送（シリアルデータ転送）を行なう。また、データ転送ブロック5は、後述するように、1本のバス9を介してバッファRAM8とのデータ転送を行なう。

【0013】MPU6は半導体ディスク装置1のメイン制御装置であり、図示しないROMに格納されたプログラムを実行することにより、ホストシステムのリード/ライトコマンド処理などの各種の制御動作を実行する（プログラムと共にファームウェアとも呼ばれる）。具体的には、MPU6はホストシステムからのアクセス要求に応じて、データ転送ブロック5、インターフェース7、バッファRAM8を制御して、ホストシステムとのデータ転送を制御する。インターフェース7は、ホスト

システムから転送されたデータをバッファRAM8に転送し、またデータ転送ブロック5によりバッファRAM8に格納されたデータをホストシステムに転送する。

【0014】ホストシステムは、外部バスを介して半導体ディスク装置1などの周辺デバイスと接続されるコンピュータ本体であり、ここでは半導体ディスク装置1を外部記憶装置の周辺デバイスとして使用する場合は想定している。

（本実施形態のデータ転送動作）前述のようなシステム構成において、コントローラ4では、データ転送ブロック5がMPU6の指示に従って、バッファRAM8と各フラッシュメモリ2A、2Bとの間のデータ転送を実行する。ここで、フラッシュメモリ2A、2Bは便宜的に2個のメモリチップであると想定する。

【0015】本実施形態では、コントローラ4は、専用のデータバスA、Bを介して、フラッシュメモリ2A、2Bとはそれぞれ独立してデータ転送を実行する。ここで、データ転送ブロック5は、図2に示すように、データ転送動作に必要なレジスタ群を有する。レジスタ群は、データバスA、B毎に設けられており、それぞれバッファRAM8側のデータ開始アドレス用レジスタ20A、20B、フラッシュメモリ側のデータ開始アドレス用レジスタ21A、21B、データ転送方向の指示用レジスタ22A、22B、データ転送監視用レジスタ23A、23Bが含まれている。データ転送監視用レジスタ23A、23Bは、データ転送状態（動作中または終了）を認識するためのフラグ情報を保持するレジスタである。

【0016】MPU6は、これらのレジスタ群にアドレス、方向の指示、データ転送状態のフラグの各制御情報をセットし、かつセットした各制御情報を参照することによりデータ転送制御を実行する。即ち、データ転送ブロック5は、データバスA、B毎に設けられたレジスタ群を介したMPU6の制御により、データバスA、Bに対して相互に干渉することなく、それぞれ独立してデータ転送を行なう。

【0017】ここで、フラッシュメモリ2A、2Bの各データバスA、Bは通常では8ビットのバスであるのに対して、バッファRAM8のバス9は2倍の16ビットのバスである。従って、各データバスA、Bはそれぞれ、バッファRAM8のバス9に対して同じサイクルで動作すれば2倍の転送速度差となる。また、前述したように、フラッシュメモリ2A、2Bに対するデータ書き込み動作時のデータ転送速度は低速であるため、前記速度差はデータ書き込み動作時のデータ転送平均速度差はさらに大きくなる。

【0018】そこで、本実施形態は、フラッシュメモリ2A、2B毎に専用に設けられたデータバスA、Bにより、それぞれ独立したデータ転送動作を実行する。これにより、従来のように1本のデータバスの場合と比較し

て、フラッシュメモリ2A、2Bのデータ転送速度を高速化することができる。特に、フラッシュメモリ2A、2Bに対するデータ書き込み動作時(ライトアクセス時)では、従来ではバッファRAM8のバス9の転送速度に対するデータ転送平均速度差をかなり縮小することが可能である。

(バッファRAMのバスアービトレーション) 前述したように、本実施形態によればフラッシュメモリ2A、2B毎に専用に設けられたデータバスA、Bにより、それぞれ独立したデータ転送が可能であるため、特にデータ書き込み動作時にデータ転送ブロック5とフラッシュメモリ2A、2Bとのデータ転送速度を高速化することができる。

【0019】ところで、データ書き込み動作時には、データ転送ブロック5は、バッファRAM8からライトデータを転送して、フラッシュメモリ2A、2Bに転送する。バッファRAM8は、通常では1本のバス9によりデータ転送ブロック5に接続されている。従って、MPU6は、データバスA、Bに独立してデータを転送する場合に、それらのデータを同一のバス9によりバッファRAM8から転送するため、バス9上の干渉を回避するためのバスアービトレーション(バス調停機能)を行なう必要がある。

【0020】以下、図3の概念図、図4のタイミングチャート、および図5のフローチャートを参照して、本実施形態のバッファRAM8側のバス9のデータ転送方式を説明する。

【0021】まず、本実施形態は、図3に示すように、データ転送ブロック5は、データバスA、Bのそれぞれ専用の第1と第2のレジスタを有する。データバスAに対応する第1と第2のレジスタをそれぞれバスA0レジスタとバスA1レジスタとする。同様に、データバスBに対応する第1と第2のレジスタをそれぞれバスB0レジスタとバスB1レジスタとする。各レジスタはいずれも例えば16ワードである。

【0022】データ転送ブロック5は、仮にデータバスAの転送要求が発生すると、バス9の転送が可能であれば、バッファRAM9からバスA0レジスタにデータの転送を実行する(ステップS1~S3)。次に、データバスAの転送要求に応じてバス9の転送が可能であれば、バッファRAM9からバスA1レジスタにデータの転送を実行する(ステップS4~S6)。このとき、データ転送ブロック5は、バスA0レジスタに保持されているデータをデータバスAに転送する(ステップS7)。このような処理は、データバスBの転送要求がなければ、繰り返すことになる。即ち、バスA0レジスタとバスA1レジスタとを交互に使用して、バッファRAM9から転送されたデータをデータバスAに転送する。

【0023】一方、データバスBの転送要求が発生すると、バス9の転送が可能であれば、バッファRAM9から

らバスB0レジスタにデータの転送を実行する(ステップS8~S10)。ここで、図4に示すように、バス9の転送可能時間を時分割で2等分にして、転送可能時間(yesで示す時間)に転送要求があれば、データ転送が実行される。従って、次のデータバスBの転送要求が発生したときに、バスBよう転送可能時間でない時間(noで示す時間)であれば、バッファRAM9からバスB1レジスタへのデータ転送は実行されないことになる(ステップS11、S12のNO)。

【0024】要するに、図4のタイミングチャートに示すように、2等分に時分割された転送可能時間(yesの時間)に、各データバスA、Bの転送要求が発生すれば、バッファRAM9からバスA0レジスタ、バスA1レジスタ、バスB0レジスタ、バスB1レジスタのいずれかに転送されることになる。そして、データバスBも同様に、バスB1レジスタにデータの転送が実行されたときに、データ転送ブロック5は、バスB0レジスタに保持されているデータをデータバスBに転送する(ステップS13、S14)。従って、バスB0レジスタとバスB1レジスタとを交互に使用して、バッファRAM9から転送されたデータをデータバスBに転送する。

【0025】以上のように本実施形態によれば、フラッシュメモリ2A、2B毎に専用に設けられたデータバスA、Bにより、それぞれ独立したデータ転送動作を実行することができる。従って、特にデータ書き込み動作において、フラッシュメモリ2A、2Bに対する平均転送速度を高速化することができる。これにより、フラッシュメモリ2A、2Bに対するアクセス効率を向上することができる。

【0026】ここで、バッファRAM8とのデータ転送を1本のバス9に対して、各データバスA、B毎の時分割転送によるバスアービトレーションを実行することにより、各データバスA、Bから独立して転送要求が発生した場合でも、バス9で干渉するような事態を防止し、各データバスA、BにバッファRAM8からのデータを確実に転送することができる。

【0027】

【発明の効果】以上詳述したように本発明によれば、半導体ディスク装置を使用したシステムにおいて、各フラッシュEEPROM毎にデータバスを設けて、各フラッシュEEPROM毎に独立したデータ転送を実現できる。従って、特にデータ書き込み動作時に、各フラッシュEEPROMに対する平均転送速度を高速化して、アクセス処理の効率を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施形態に関する半導体ディスク装置の要部を示すブロック図。

【図2】同実施形態に関するコントローラの内部構成を示す概念図。

【図3】同実施形態に関するコントローラの内部構成

10

20

30

40

50

を示す概念図。

【図4】同実施形態に係る動作を説明するためのタイミングチャート。

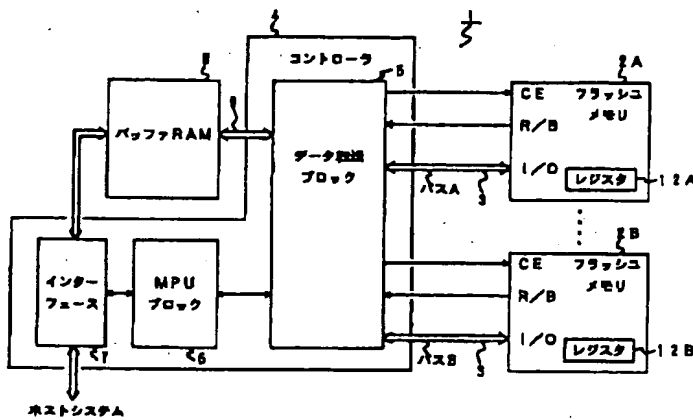
【図5】同実施形態に係る動作を説明するためのフローチャート。

【符号の説明】

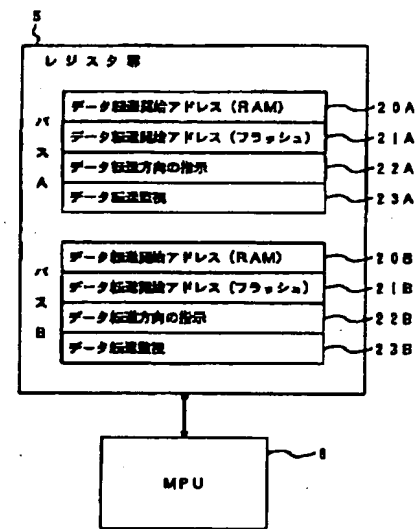
- 1…半導体ディスク装置
- 2 A, 2 B…フラッシュEEPROM (フラッシュメモリ)
- 3…データバス (データバスA, B)
- 4…コントローラ

- 5…データ転送ブロック
- 6…MPUブロック
- 7…インターフェース
- 8…バッファRAM
- 9…バス (バッファRAM側バス)
- 20 A, 20 B…データ開始アドレス用レジスタ (バッファRAM側)
- 21 A, 21 B…データ開始アドレス用レジスタ (フラッシュメモリ側)
- 22 A, 22 B…データ転送方向の指示用レジスタ
- 23 A, 23 B…データ転送監視用レジスタ

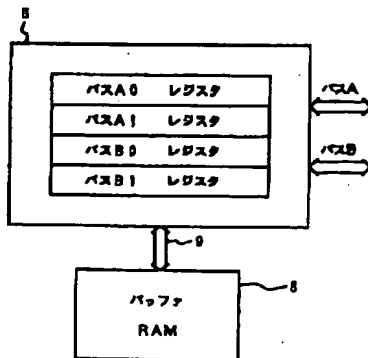
【図1】



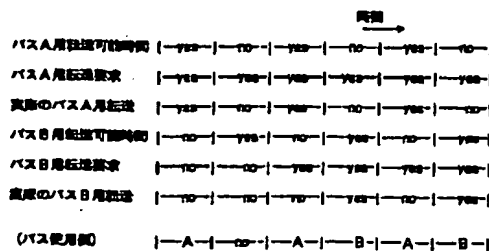
【図2】



【図3】



【図4】



【図5】

